

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-224223

(43)Date of publication of application : 26.08.1997

(51)Int.Cl.

H04N 7/01

(21)Application number : 08-054087

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 15.02.1996

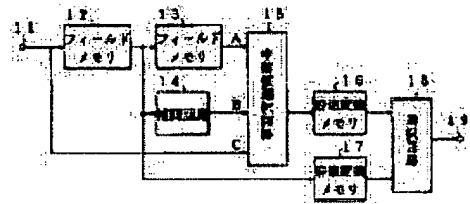
(72)Inventor : TOKOI MASAKI
KUZUMOTO KEIICHI
MURAJI TSUTOMU
HIROTSUNE SATOSHI
ISHIZU ATSUSHI

(54) VIDEO SIGNAL PROCESSING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain excellent image quality from both a still image and an animation image by conducting motion adaptive processing with a motion detection circuit in the case of converting a video signal by interlace scanning into a video signal of noninterlace scanning.

SOLUTION: Two field memories 12, 13 connected in series are provided, from which a video signal of three adjacent fields is obtained. A signal of the middle field is given to an interpolation circuit 14, from which an interpolation scanning line is generated by using pixel values in the field. The interpolation scanning line and scanning lines of preceding and succeeding fields are given to a median selection circuit 15, by which a field taking a median pixel value is discriminated and an in-field interpolation scanning line or an inter-field interpolation scanning line is selected. The signal of the interpolation scanning line is inputted to a double speed conversion memory 16 and the output of the field memory 12 is inputted to a double speed conversion memory 17. Then a selection circuit 18 reads the signals in the double speed conversion memories 16, 17 alternately at a double speed to generate a video signal of noninterlace scanning.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-224223

(43)公開日 平成9年(1997)8月26日

(51)Int.Cl.⁹
H 0 4 N 7/01

識別記号 庁内整理番号

F I
H 0 4 N 7/01

技術表示箇所

G

審査請求 未請求 請求項の数10 F D (全 13 頁)

(21)出願番号 特願平8-54087

(22)出願日 平成8年(1996)2月15日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 床井 雅樹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 葛本 恵一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 連 努

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 岡本 宜喜

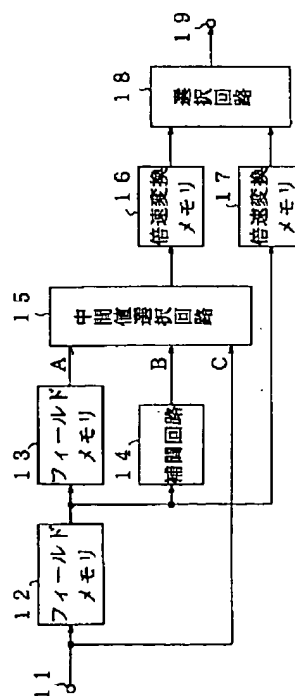
最終頁に続く

(54)【発明の名称】 映像信号処理回路

(57)【要約】

【課題】 飛び越し走査を順次走査の映像信号に変換するとき、動き検出回路による動き適応処理を行うことなく静止画／動画共に良好な画質を得ること。

【解決手段】 2つのフィールドメモリ12、13を直列に設け、これより隣接する3フィールドの映像信号を得る。中央フィールドの信号を補間回路14に与え、フィールド内の画素値を用いて補間走査線を生成する。この補間走査線と前後フィールドの走査線とを中間値選択回路15に与え、中間の画素値をとるフィールドを判別し、フィールド内補間走査線かフィールド間補間走査線かを選択する。補間走査線の信号を倍速変換メモリ16に入力し、フィールドメモリ12の出力を倍速変換メモリ17に入力する。そして選択回路18が倍速変換メモリ16、17を交互に倍速で読み出し、順次走査の映像信号を生成する。



【特許請求の範囲】

【請求項1】 飛び越し走査の映像信号から順次走査の映像信号に必要な補間走査線を生成する映像信号処理回路であって、

連続する $(n-1)$ 、 n 、 $(n+1)$ フィールドの飛び越し走査の映像信号が入力されたとき、 n 、 $(n-1)$ フィールドの映像信号を夫々記憶する第1、第2のフィールドメモリと、

前記第1のフィールドメモリの出力として得られる n フィールドの映像信号から、順次走査における n フィールドの補間走査線を生成する補間手段と、

前記補間手段の出力、前記第1のフィールドメモリの入力、前記第2のフィールドメモリの出力のうち、画素周期毎に中間の画素値を有するものを選択し、これを補間画素として補間走査線を生成する中間値選択手段と、を具備することを特徴とする映像信号処理回路。

【請求項2】 前記補間手段は、同一フィールドの垂直方向に位置する画素値より補間画素値を算出し、補間走査線を生成するものであることを特徴とする請求項1記載の映像信号処理回路。

【請求項3】 前記補間手段は、補間対象画素を中心として同一フィールドの上下ラインの点対称関係に位置する画素値より補間画素値を算出し、補間走査線を生成するものであることを特徴とする請求項1記載の映像信号処理回路。

【請求項4】 飛び越し走査の映像信号から順次走査の映像信号に必要な補間走査線を生成する映像信号処理回路であって、

連続する $(n-1)$ 、 n 、 $(n+1)$ フィールドの飛び越し走査の映像信号が入力されたとき、 n 、 $(n-1)$ フィールドの映像信号を夫々記憶する第1、第2のフィールドメモリと、

前記第1のフィールドメモリの出力として得られる n フィールドの映像信号から、順次走査の補間位置における画素値を生成する第1の補間手段と、

前記第1のフィールドメモリの出力として得られる n フィールドの映像信号から、順次走査の補間画素値を算出し、補間走査線を生成する第2の補間手段と、

前記第1の補間手段の出力、前記第1のフィールドメモリの入力、前記第2のフィールドメモリの出力のうち、画素周期毎に中間の画素値を有するものを判定する中間値判定手段と、

前記第1のフィールドメモリに入力される映像信号の垂直高域成分を抽出する第1のフィルター手段と、

前記第2のフィールドメモリから出力される映像信号の垂直高域成分を抽出する第2のフィルター手段と、

前記第1の補間手段と前記第1のフィルター手段との加算値、前記第2の補間手段の出力値、前記第1の補間手段と前記第2のフィルター手段との加算値のいずれかを、前記中間値判定手段の判定結果に応じて選択して順

次走査の補間走査線を生成する選択手段と、を具備することを特徴とする映像信号処理回路。

【請求項5】 前記選択手段は、前記中間値判定手段によって、前記第2のフィールドメモリの出力値が中間値をとると判定されたときは、前記第1の補間手段と前記第2のフィルター手段との加算値を選択し、前記第1の補間手段の出力値が中間値をとると判定されたときは、前記第2の補間手段の出力値を選択し、前記第1のフィールドメモリの入力値が中間値をとると判定されたときは、前記第1の補間手段と前記第1のフィルター手段との加算値を選択するものであることを特徴とする請求項4記載の映像信号処理回路。

【請求項6】 前記第1の補間手段は、同一フィールドにおける垂直方向に位置する画素値より補間画素値を算出するものであることを特徴とする請求項4記載の映像信号処理回路。

【請求項7】 前記第2の補間手段は、補間対象画素を中心として点対称関係に位置する同一フィールドの上下ラインの画素値より補間画素値を算出し、補間走査線を生成することを特徴とする請求項4記載の映像信号処理回路。

【請求項8】 飛び越し走査の映像信号から順次走査の映像信号に必要な補間走査線を生成する映像信号処理回路であって、

連続する $(n-1)$ 、 n 、 $(n+1)$ フィールドの飛び越し走査の映像信号が入力されたとき、 n 、 $(n-1)$ フィールドの映像信号を夫々記憶する第1、第2のフィールドメモリと、

前記第1のフィールドメモリの出力として得られる n フィールドの映像信号から、順次走査における n フィールドの補間走査線を生成する補間手段と、

前記補間手段の出力、前記第1のフィールドメモリの入力、前記第2のフィールドメモリの出力のうち、画素周期毎に中間の画素値を有するものを判定する中間値判定手段と、

前記第1のフィールドメモリに入力される映像信号の垂直高域成分を抽出する第1のフィルター手段と、

前記第2のフィールドメモリから出力される映像信号の垂直高域成分を抽出する第2のフィルター手段と、

前記第1のフィルター手段の出力、前記第2のフィルター手段の出力、零値のいずれかを前記中間値判定手段の判定結果に応じて選択する選択手段と、

前記選択手段の出力に前記補間手段の出力を加算して順次走査の補間走査線を生成する加算手段と、を具備することを特徴とする映像信号処理回路。

【請求項9】 前記選択手段は、前記中間値判定手段によって、前記第2のフィールドメモリの出力値が中間値をとると判定されたときは、前記第2のフィルター手段の出力を選択し、前記補間手段の出力値が中間値をとると判定されたときは、零値を選択

し、前記第1のフィールドメモリの入力値が中間値をとると判定されたときは、前記第1のフィルター手段の出力を選択するものであることを特徴とする請求項8記載の映像信号処理回路。

【請求項10】 前記補間手段は、補間対象画素を中心として同一フィールドの上下ラインの点対称関係に位置する画素値より補間画素値を算出し、補間走査線を生成することを特徴とする請求項8記載の映像信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は飛び越し走査の映像信号を順次走査の映像信号に変換する映像信号処理回路に関するものである。

【0002】

【従来の技術】飛び越し走査（インターレース走査）の映像信号を順次走査の映像信号に変換する走査線変換技術としては、従来EDTV受信機などに採用されている動き適応走査線補間処理などが存在する。この手法においては、映像信号に含まれる被写体の動きを検出し、被写体が静止している場合には前フィールドの信号を用いてフィールド間補間を行い、被写体が動いている場合には同一フィールド内の信号を用いてフィールド内補間処理を行い、補間走査線を作成する。

【0003】従来の映像信号処理回路としては、例えば特公平4-3151号公報などに示されているものがある。図11は従来の映像信号処理回路の一例を示したブロック図である。この映像信号処理回路は被写体の動きに基づいて飛び越し走査の映像信号を順次走査の映像信号へ変換する回路である。

【0004】図11において入力端子101は飛び越し走査の映像信号の入力端子である。フィールドメモリ102、103は夫々映像信号を1フィールド期間遅延するフィールドメモリであり、入力端子101における映像信号とフィールドメモリ103の出力端における映像信号は1フレーム分異なる。ラインメモリ104はフィールドメモリ102から出力される映像信号を1ライン期間遅延するラインメモリであり、その出力は加算器105に与えられる。加算器105はラインメモリ104の入力信号と出力信号とを加算する回路である。係数器106は加算器105の出力に係数1/2を乗算する回路であり、その出力は乗算器108に与えられる。

【0005】動き検出回路107は入力端子101の映像信号とフィールドメモリ103の映像信号とを入力し、画像の動きを検出する検出回路であり、画像の動きに応じて1～0の値を持つ係数mを発生する。乗算器108は係数器106の出力信号に対して係数mを乗算する回路である。乗算器109はフィールドメモリ103の出力信号に対して係数(1-m)を乗算する回路である。加算器110は乗算器108の出力と乗算器109

の出力とを加算する回路であり、加算結果を倍速変換メモリ111に出力する。

【0006】倍速変換メモリ111は加算器110の出力する映像信号を記憶し、その水平走査期間を1/2に圧縮して倍レートで出力するメモリである。同様に倍速変換メモリ112はフィールドメモリ102の出力する映像信号を記憶し、その水平走査期間を1/2に圧縮して倍レートで出力するメモリである。選択回路113は倍速変換メモリ111、112の映像信号を1ライン周期で交互に読み出して順次走査の映像信号に変換する回路であり、その映像信号は出力端子114を介して出力される。

【0007】以上のように構成された従来の映像信号処理回路の動作を説明する。図11において入力端子101には飛び越し走査の映像信号が入力されると、フィールドメモリ102、103によって夫々1フィールド期間遅延され、フィールドメモリ103から2フィールド即ち1フレーム期間遅延された映像信号が得られる。フィールドメモリ102の出力はラインメモリ104でさらに1ライン期間遅延され、この1ライン遅延信号と1ライン遅延されない信号とが加算器105で加算される。そしてこの加算信号は係数器106で振幅が1/2倍される。この信号処理によって同一フィールド内の上下ラインの平均値から補間走査線が生成され、乗算器108に入力される。

【0008】一方、フィールドメモリ103の出力はフィールド間補間のための補間走査線として乗算器109に入力される。動き検出回路107は入力映像信号とフィールドメモリ103の出力である1フレーム遅延信号との差分値を得て、それを基に画像の動きを検出する。そして動き検出回路107は映像の動きの程度に応じて係数m(0≤m≤1)を発生する。この係数mは被写体の動きがある場合1に近づき、静止している場合は0に近づく。

【0009】係数器106より出力されるフィールド内補間走査線は乗算器108においてm倍され、フィールドメモリ103より出力されるフィールド間補間走査線は乗算器109において(1-m)倍される。そして乗算器108、109の各出力は加算器110において加算される。従って画像に動きがある場合は加算器110からはフィールド内補間走査線が出力され、画像が静止している場合はフィールド間補間走査線が出力され、映像の動きに適応した補間走査線を得ることができる。

【0010】以上のようにして得られた補間走査線は倍速変換メモリ111に入力され、フィールドメモリ102の出力である実走査線は倍速変換メモリ112に入力される。各倍速変換メモリ111、112では通常で書き込まれた走査線の画素データがその2倍の速度で読み出される。選択回路113は倍速変換メモリ111と112の出力を1ライン周期で交互に切り換えて映

像信号を順次走査化し、出力端子114より出力する。

【0011】

【発明が解決しようとする課題】しかしながら前記のような構成では、まず第1に動き検出回路に相当な回路規模を必要とする。第2に静止画領域はフィールド間処理が行われるため、ほぼ完全な補間が行えるが、動画領域では垂直方向の解像度が低下する。特に斜め線エッジの滑らかさが損なわれた映像となる。第3に動き検出の誤動作によって特に静止画を動画と判定した場合に、顕著な画質劣化を生じてしまうなどの課題を有していた。

【0012】本発明は、このような従来の問題点に鑑みてなされたものであって、請求項1記載の発明は、動き検出回路を用いずにフィールド内補間とフィールド間補間を切り替えて良好な映像を得ることができる映像信号処理回路を提供することを目的とする。

【0013】また請求項3記載の発明は、前記目的に加え、動画領域の斜めエッジに対しても有効な走査線補間を行うことができる映像信号処理回路を提供することを目的とする。

【0014】更に請求項4記載の発明は、前記目的に加え、映像の動画領域においてフィールド間補間処理がなされた場合でも、映像が破綻することなく走査線補間を行うことができる映像信号処理回路を提供することを目的とする。

【0015】

【課題を解決するための手段】これらの課題を解決するため、本願の請求項1記載の発明は、飛び越し走査の映像信号から順次走査の映像信号に必要な補間走査線を生成する映像信号処理回路であって、連続する $(n-1)$ 、 n 、 $(n+1)$ フィールドの飛び越し走査の映像信号が入力されたとき、 n 、 $(n-1)$ フィールドの映像信号を夫々記憶する第1、第2のフィールドメモリと、前記第1のフィールドメモリの出力として得られる n フィールドの映像信号から、順次走査における n フィールドの補間走査線を生成する補間手段と、前記補間手段の出力、前記第1のフィールドメモリの入力、前記第2のフィールドメモリの出力のうち、画素周期毎に中間の画素値を有するものを選択し、これを補間画素として補間走査線を生成する中間値選択手段と、を具備することを特徴とするものである。

【0016】また請求項2記載の発明では、前記補間手段は、同一フィールドの垂直方向に位置する画素値より補間画素値を算出し、補間走査線を生成することを特徴とするものである。

【0017】このような構成により、隣接した3フィールドの映像信号を得て、中央フィールド（現フィールド）のフィールド内補間走査線と前後フィールドの走査線の中間値を求めて補間走査線を生成する。こうすると動き検出回路を用いずにフィールド内とフィールド間の走査線補間処理を行うことができる。

【0018】また請求項3記載の発明では、前記補間手段は、補間対象画素を中心として同一フィールドの上下ラインの点対称関係に位置する画素値より補間画素値を算出し、補間走査線を生成することを特徴とするものである。

【0019】このような構成により、請求項1、2記載の発明の作用に加えて、フィールド内補間を補間画素を中心とする点対称関係に位置する画素を用いて行うことで、斜め線等の劣化のない走査線補間処理を行うことができる。

【0020】また請求項4記載の発明は、飛び越し走査の映像信号から順次走査の映像信号に必要な補間走査線を生成する映像信号処理回路であって、連続する $(n-1)$ 、 n 、 $(n+1)$ フィールドの飛び越し走査の映像信号が入力されたとき、 n 、 $(n-1)$ フィールドの映像信号を夫々記憶する第1、第2のフィールドメモリと、前記第1のフィールドメモリの出力として得られる n フィールドの映像信号から、順次走査の補間位置における画素値を生成する第1の補間手段と、前記第1のフィールドメモリの出力として得られる n フィールドの映像信号から、順次走査の補間画素値を算出し、補間走査線を生成する第2の補間手段と、前記第1の補間手段の出力、前記第1のフィールドメモリの入力、前記第2のフィールドメモリの出力のうち、画素周期毎に中間の画素値を有するものを判定する中間値判定手段と、前記第1のフィールドメモリに入力される映像信号の垂直高域成分を抽出する第1のフィルター手段と、前記第2のフィールドメモリから出力される映像信号の垂直高域成分を抽出する第2のフィルター手段と、前記第1の補間手段と前記第1のフィルター手段との加算値、前記第2の補間手段の出力値、前記第1の補間手段と前記第2のフィルター手段との加算値のいずれかを、前記中間値判定手段の判定結果に応じて選択して順次走査の補間走査線を生成する選択手段と、を具備することを特徴とするものである。

【0021】また請求項5記載の発明では、前記選択手段は、前記中間値判定手段によって、前記第2のフィールドメモリの出力値が中間値をとると判定されたときは、前記第1の補間手段と前記第2のフィルター手段との加算値を選択し、前記第1の補間手段の出力値が中間値をとると判定されたときは、前記第2の補間手段の出力値を選択し、前記第1のフィールドメモリの入力値が中間値をとると判定されたときは、前記第1の補間手段と前記第1のフィルター手段との加算値を選択することを特徴とするものである。

【0022】また請求項6記載の発明では、前記第1の補間手段は、同一フィールドにおける垂直方向に位置する画素値より補間画素値を算出することを特徴とするものである。

【0023】また請求項7記載の発明では、前記第2の

補間手段は、補間対象画素を中心として点対称関係に位置する同一フィールドの上下ラインの画素値より補間画素値を算出し、補間走査線を生成することを特徴とするものである。

【0024】また請求項8記載の発明は、飛び越し走査の映像信号から順次走査の映像信号に必要な補間走査線を生成する映像信号処理回路であって、連続する $(n-1)$ 、 n 、 $(n+1)$ フィールドの飛び越し走査の映像信号が入力されたとき、 n 、 $(n-1)$ フィールドの映像信号を夫々記憶する第1、第2のフィールドメモリと、前記第1のフィールドメモリの出力として得られる n フィールドの映像信号から、順次走査における n フィールドの補間走査線を生成する補間手段と、前記補間手段の出力、前記第1のフィールドメモリの入力、前記第2のフィールドメモリの出力のうち、画素周期毎に中間の画素値を有するものを判定する中間値判定手段と、前記第1のフィールドメモリに入力される映像信号の垂直高域成分を抽出する第1のフィルター手段と、前記第2のフィールドメモリから出力される映像信号の垂直高域成分を抽出する第2のフィルター手段と、前記第1のフィルター手段の出力、前記第2のフィルター手段の出力、零値のいずれかを前記中間値判定手段の判定結果に応じて選択する選択手段と、前記選択手段の出力に前記補間手段の出力を加算して順次走査の補間走査線を生成する加算手段と、を具備することを特徴とするものである。

【0025】また請求項9記載の発明では、前記選択手段は、前記中間値判定手段によって、前記第2のフィールドメモリの出力値が中間値をとると判定されたときは、前記第2のフィルター手段の出力を選択し、前記補間手段の出力値が中間値をとると判定されたときは、零値を選択し、前記第1のフィールドメモリの入力値が中間値をとると判定されたときは、前記第1のフィルター手段の出力を選択することを特徴とするものである。

【0026】更に請求項10記載の発明では、前記補間手段は、補間対象画素を中心として同一フィールドの上下ラインの点対称関係に位置する画素値より補間画素値を算出し、補間走査線を生成することを特徴とするものである。

【0027】このような構成により、請求項1～3記載の発明の作用に加えて、垂直方向の高域成分の加算でフィールド間補間を行うことにより、動画領域でフィールド間補間を行った場合でも視覚的に映像の破綻が生じない走査線補間処理を行うことができる。

【0028】

【発明の実施の形態】

(実施の形態1) 本発明の第1実施形態(請求項1記載)における映像信号処理回路について図1のブロック図を用いて説明する。図1において入力端子11は飛び越し走査の映像信号を入力する入力端子である。第1のフィールドメモリ12及び第2のフィールドメモリ13

は飛び越し走査の映像信号を1フィールド期間遅延するFIFOタイプのフィールドメモリであり、直列に接続される。補間回路14はフィールドメモリ12の出力する映像信号を用いて、同一フィールド内の画素より補間走査線を生成する補間回路である。

【0029】フィールドメモリ13の出力する映像信号の画素をAとし、補間回路14の出力する映像信号の画素をBとし、入力端子11の映像信号の画素をCとすると、中間値選択回路15は各画素A、B、Cのレベルを比較し、中間レベルの画素を画素周期毎に選択する回路である。倍速変換メモリ16、17は入力された映像信号を記憶し、読み出し時に映像信号の水平走査期間を $1/2$ に圧縮して倍レート記憶内容を出力するメモリである。倍速変換メモリ16は中間値選択回路15の出力を、倍速変換メモリ17はフィールドメモリ12の出力を速度変換する。選択回路18は倍速変換メモリ16、17の出力を1ライン周期毎に切り替え、出力端子19を介して順次走査の映像信号を生成する回路である。

【0030】このように構成された本実施形態の映像信号処理回路の動作を説明する。図1において入力端子11には飛び越し走査の映像信号が入力されると、フィールドメモリ12、13によって夫々1フィールド期間遅延される。そしてフィールドメモリ13から2フィールド即ち1フレーム期間遅延された映像信号が出力される。フィールドメモリ12の出力は補間回路14に入力され、ここで同一フィールド内の画素より補間処理が行われ、補間走査線が生成される。

【0031】補間回路14で生成されたフィールド内補間走査線と、フィールド間補間のためのフィールドメモリ13の出力と、入力端子11の映像信号は中間値選択回路15に入力される。中間値選択回路15では入力される3画素A、B、Cのうち、中間レベルの画素値を持つものを選択し、これを補間走査線の画素として出力する。

【0032】このようにして中間値選択回路15で得られた補間走査線と、フィールドメモリ12の出力である実走査線は夫々倍速変換メモリ16と17に入力される。倍速変換メモリ16、17では通常で書き込まれた走査線の画素データが2倍の速度で読み出される。選択回路18は倍速変換メモリ16と17の出力を1ライン周期で交互に切り換え、順次走査化した映像信号を出力端子19より出力する。

【0033】フィールド内補間走査線を生成する補間回路14の構成は、例えば図2に示すようなものとする。本図において補間回路14Aは、入力端子21、ラインメモリ22、加算器23、係数器24、出力端子25により構成される。ラインメモリ22は映像信号を1ライン期間遅延するメモリである。

【0034】このような構成の補間回路14Aにおいて、入力端子21にはフィールドメモリ12の出力する

飛び越し走査の映像信号が入力される。この映像信号は加算器23においてラインメモリ22で1ライン期間遅延された映像信号と加算され、係数器24で振幅が1/2倍される。したがって出力端子25からは同一フィールド内の上下ラインの平均値を有する補間走査線が出力される。

【0035】次に中間値選択回路15の構成は、例えば図3(a)に示すようなものとする。即ち中間値選択回路15は、入力端子31~33、比較器34a~34cと論理回路34dを含む中間値判定回路34、選択回路35、出力端子36を含んで構成される。入力端子31、32、32に輸入される画素値を夫々A、B、Cとすると、比較器34aはA、Bの大小を比較し、 $A > B$ の場合1を出力、 $A > B$ でなければ0を出力する。同様に比較器34bはA、Cの大小を比較し、比較器34cはB、Cの大小を比較し、比較結果として1又は0を出力する。論理回路34dは比較器34a~34cでの比較結果を入力し、図3(b)に示す真理値表に基づいてA、B、Cの選択制御信号を発生する。

【0036】さて入力端子31、32、33に輸入された隣接3フィールドの映像信号は比較器34a、34b、34cで大小関係が比較され、論理回路34aで中間値が判別される。選択回路35では中間値判定回路34の判別結果にしたがって、入力される3つの画素のうち中間の画素値を持つものを選択し、出力端子36より中間値を出力する。

【0037】図4は中間値選択回路15の出力を補間走査線として用いる原理を示す信号波形図である。図4の(a)、(b)、(c)はいずれも入力された映像信号に動きがある場合の画素値の変化を示している。図4(a)は特に動き始めの状態であり、(a1)は画素値がフィールド(n-1)、n、(n+1)にかけて減少し始める場合を、(a2)は画素値がフィールド(n-1)、n、(n+1)にかけて増加し始める場合を示している。図4(b)は特に動き終わりの状態であり、(b1)は画素値がフィールド(n-1)、n、(n+1)にかけて増加しなくなる場合を、(b2)は画素値がフィールド(n-1)、n、(n+1)にかけて減少しなくなる場合を示している。また図4(c)は特に動きの最中を示す状態で、(c1)は画素値がフィールド(n-1)、n、(n+1)にかけて単調増加する場合を、(c2)は画素値がフィールド(n-1)、n、(n+1)にかけて単調減少する場合を示している。

【0038】図4(a)のような画素値の変化パターンに対しては、補間走査線として(n-1)フィールドの画素(●で示したフィールド)を選択することによって、現在のnフィールドの実走査線と齟齬をきたさない補間走査線が得られる。図4(b)のようなパターンに対しては、補間走査線として(n+1)フィールドの画素を選択する。更に図4(c)のようなパターンに対し

ては、nフィールド自身の画素を選択することによってフィールド内の画素より補間走査線を生成する。こうしてフィールド内補間処理を行う。

【0039】一方、入力映像信号が静止画像である場合は、(n-1)フィールドと(n+1)フィールドの画素値は等しくなるので、中間値選択回路15は(n+1)フィールド又は(n-1)フィールドの画素を補間走査線として選択し、フィールド間補間処理を行う。

【0040】以上のように本実施形態によれば、隣接する3フィールドの中間値をとって補間走査線を生成することで、動き検出を用いずに動画/静止画に関わらず良好な画質の走査線補間処理を行うことができる。

【0041】なおこの実施形態では、フィールド内補間走査線を生成する補間回路14が上下2ラインの平均値によって補間処理を行う構成を示したが、補間画素に対して垂直方向に位置する画素より補間処理を行うのであれば、用いるライン数や係数はこの実施形態のものに限定されるものではないことは言うまでもない。

【0042】(実施の形態2)次に本発明の第2実施形態(請求項3記載)における映像信号処理回路について図5のブロック図を用いて説明する。本実施形態の映像信号処理回路は、図1の補間回路14を図5に示すようなブロック構成としたことが特徴である。この補間回路14Bはフィールド内補間走査線を生成する回路であるが、他の回路構成は図1に示した第1実施形態のものと同様とする。

【0043】図5において入力端子21は飛び越し走査の映像信号の入力端子であり、その信号はラインメモリ22、Dフリップフロップ(DF F)41、減算器48、加算器51に与えられる。DF F 41、42は入力信号を1画素周期だけ遅延させる遅延器であり、互いに直列に接続されている。またDF F 43はラインメモリ22の映像信号を1画素周期だけ遅延させる遅延器であり、DF F 44と直列に接続されている。

【0044】DF F 41の画素信号が時刻tで出力され、この時刻の画素を中心に考える。飛び越し走査のライン周期をTとすると、減算器48は入力端子21から出力される時刻(t+1)の画素値と、DF F 44から出力される時刻(t-T)の画素値とを入力し、その差分値を生成する減算器である。また減算器49はDF F 41から出力される時刻tの画素値と、DF F 43から出力される時刻(t-T)の画素値とを入力し、その差分値を生成する減算器である。同様に減算器50はDF F 42から出力される時刻(t-1)の画素値と、ラインメモリ22から出力される時刻(t+1-T)の画素値とを入力し、その差分値を生成する減算器である。

【0045】絶対値回路(|X|)45は減算器48の出力を絶対値に変換する回路である。絶対値回路46は減算器49の出力を絶対値に変換する回路である。同様

に絶対値回路47は減算器50の出力を絶対値に変換する回路である。加算器51は入力端子21から出力される時刻 $(t+1)$ の画素値と、DFF44から出力される時刻 $(t-1-T)$ の画素値とを入力し、その加算値を生成する回路である。また加算器23はDFF41から出力される時刻 t の画素値と、DFF43から出力される時刻 $(t-T)$ の画素値とを入力し、その加算値を生成する回路である。同様に加算器52はDFF42から出力される時刻 $(t-1)$ の画素値と、ラインメモリ22から出力される時刻 $(t+1-T)$ の画素値とを入力し、その加算値を生成する回路である。

【0046】係数器53は加算器51の出力を係数 $1/2$ で乗算する回路である。係数器24は加算器23の出力を係数 $1/2$ で乗算する回路である。同様に係数器54は加算器52の出力を係数 $1/2$ で乗算する回路である。最小値判定回路55は絶対値回路45、46、47の出力を夫々入力して最小値を判定し、判定結果を選択回路56に与える回路である。選択回路56は最小値判定回路55での判定結果に基づき、係数器53、24、54のいずれかの出力を補間画素として選択する回路である。

【0047】このように構成された本実施形態の補間回路14Bの動作について、図6を用いて説明する。図6は図5の補間回路14Bの動作を説明するための画素配置図である。図5において入力端子21に飛び越し走査の映像信号が入力されると、DFF41の入力端と出力端、及びDFF42の出力端から水平3画素のデータが得られる(図6のd、e、f)。入力映像信号はラインメモリ22で1ライン期間(時間T)遅延される。このためDFF43、44で1ライン遅れの水平3画素のデータが得られる(図6のa、b、c)。

【0048】加算器52と係数器54では補間画素位置(図6の○)に対して右上-左下方向の2画素(図6のc、d)の平均値を算出し、選択回路56に出力する。同様に加算器23と係数器24では垂直方向の2画素(図6のb、e)の平均値を算出し、選択回路56に出力する。更に加算器51と係数器53では左上-右下方向の2画素(図6のa、f)の平均値を算出し、選択回路56に出力する。

【0049】一方、減算器50と絶対値回路47では右上-左下方向2画素の差分絶対値を、減算器49と絶対値回路46では垂直方向2画素の差分絶対値を、減算器48と絶対値回路45では左上-右下方向2画素の差分絶対値を夫々算出し、最小値判定回路55に与える。最小値判定回路55では、入力される3方向の画素対の差分絶対値より最小のものを判定し、選択回路56を切り替える。選択回路56では、最小値判定回路55において差分絶対値が最小と判定された方向の画素対についてその平均値を選択し、出力端子25から出力する。

【0050】第1実施形態では、フィールド内補間走査

線を生成するのに、図2に示すような補間回路14Aを用いて補間画素に対して垂直方向のみの画素を用いて補間していた。これに対し、第2実施形態では図5に示すような補間回路14Bを用いて補間画素に対して点対称関係に位置する画素を用いて補間する。補間方向の決定は差分絶対値が最小である方向、即ち画素相関が最も高い画素対の方向を検出する。このことにより、フィールド内補間における斜めエッジなどもきれいに補間することができ、フィールド内補間画像の画質が向上する。

【0051】また、特に本実施形態の構成ではフィールド内補間の画素方向決定の際、方向を誤ったために補間走査線として不適当な内挿処理がなされた場合でも、大きく逸脱した画素値は3フィールド中間値選択機能によって補正される。したがって、この補間回路と3フィールド中間値選択機能を用いることによって、相互効果でさらに良好な画質の走査線補間処理を行うことができる。

【0052】なおこの実施形態では、補間回路14Bが補間画素に対して点対称関係にある上下2ラインの画素値の平均値より補間処理を行うとしたが、用いるライン数や係数はこの実施形態に限定されるものではないことは言うまでもない。さらにこの実施形態では補間に用いる点対称関係の画素対候補が上下6画素3方向の場合を示したが、方向の精度を上げるために更に細かく多くとっても良いこと言うまでもない。

【0053】(実施の形態3) 本発明の第3実施形態(請求項4記載)における映像信号処理回路について図7のブロック図を用いて説明する。図7において第1、第2実施形態と同一部分は同一の符号を付けて詳細な説明を省略する。本図に示す映像信号処理回路には、入力端子11、第1のフィールドメモリ12、第2のフィールドメモリ13、倍速変換メモリ16、17、選択回路18、出力端子19が設けられていることは図1の第1実施形態と同様である。

【0054】第1の補間回路61及び第2の補間回路62はフィールドメモリ12の映像信号を入力し、同一フィールド内の画素より補間処理を行う補間回路である。第1のフィルタ回路(V-HPF)63は入力端子11の映像信号を入力し、垂直高域成分を抽出するハイパスフィルタである。第2のフィルタ回路64はフィールドメモリ13の出力する映像信号を入力し、垂直高域成分を抽出するハイパスフィルタである。加算器65はフィルタ回路63の出力と補間回路61の出力を加算する回路である。加算器66はフィルタ回路64の出力と補間回路61の出力を加算する回路である。加算器65、66の各出力、及び補間回路62の出力は選択回路68に与えられる。

【0055】中間値判定回路67は、フィールドメモリ13の出力、補間回路61の出力、入力端子11の信号を夫々入力し、それらの画素値のうち中間値を判別して

切り替え制御信号を生成する回路である。選択回路68は中間値判定回路67の切り替え制御信号に基づき、

($n-1$) フィールドの垂直高域成分を含む画素値、 n フィールドの画素値、($n+1$) フィールドの垂直高域成分を含む画素値を選択する回路である。

【0056】このように構成された第3実施形態の映像信号処理回路の動作を説明する。図7において入力端子11には飛び越し走査の映像信号が入力されると、フィールドメモリ12、13によってそれぞれ1フィールド期間遅延され、フィールドメモリ13から2フィールド即ち1フレーム期間遅延した映像信号が出力される。フィールドメモリ12の出力は補間回路61に入力され、同一フィールド内の画素より補間処理が行われる。フィールドメモリ12の出力は更に補間回路62にも入力され、同一フィールド内の画素より補間処理が行われ、補間走査線が生成される。

【0057】フィールドメモリ12の入力映像信号がフィルタ回路63に入力されると、($n+1$) フィールドの画像の垂直高域成分が抽出され、加算器65で補間回路61の出力する n フィールドの画像に加算される。同様にフィールドメモリ13の出力映像信号はフィルタ回路64に入力されると、($n-1$) フィールドの画像の垂直高域成分が抽出され、加算器66で補間回路61の出力する n フィールドの画像に加算される。補間回路61の出力信号、入力端子の映像信号、フィールドメモリ13の出力信号は、中間値判定回路67に夫々入力される。中間値判定回路67では入力される3信号のうち、中間の画素値を持つものを判定し、選択回路68に切り替え制御信号を発生する。選択回路68では中間値判定回路67に入力される3信号のうち、フィールドメモリ13の出力が中間値の場合は加算器66の出力を、補間回路61の出力が中間値の場合は補間回路62の出力を、フィールドメモリ12の入力映像信号が中間値の場合は加算器65の出力を選択し、これを補間走査線として出力する。

【0058】このようにして得られた補間走査線は倍速変換メモリ16に入力され、フィールドメモリ12の出力である実走査線は倍速変換メモリ17に入力される。倍速変換メモリ16、17では通常で書き込まれた走査線データがその2倍の速度で読み出される。選択回路18は倍速変換メモリ16と17の出力を1ライン周期内で交互に切り換えて映像信号を順次走査化し、出力端子19より出力する。

【0059】なお、補間回路61は隣接した3フィールドで同一重心の走査線を得るための補間回路であり、その構成としては例えば図2に示したものと同様である。またフィルタ回路63、64の構成は例えば図8に示すようなものとなる。図8においてフィルタ回路(V-HPF)は、入力端子71、ラインメモリ72、73、加算器74、係数器75、76、減算器77、出力端子7

8を含んで構成される。

【0060】図8の入力端子71に図7のフィールドメモリ12の入力信号、又はフィールドメモリ13の出力信号が飛び越し走査の映像信号として入力される。この入力信号はラインメモリ72と73とで2ライン期間遅延された信号となり、この遅延信号と原信号とが加算器74で加算される。この加算信号は係数器75で振幅が $1/2$ 倍される。またラインメモリ72の出力は減算器77において係数器75の出力により減算され、更に係数器76に入力されて振幅が $1/4$ 倍される。こうして垂直方向の広域成分が出力端子78より出力される。

【0061】従ってこの構成例の場合、垂直方向3ラインの係数が($-1/8$, $1/4$, $-1/8$)となる垂直高域フィルタが形成される。ちなみに補間回路61は垂直方向2ラインの係数が($1/2$, $1/2$)となる垂直低域フィルタとなる。フィールド内補間走査線を生成する第2の補間回路62は例えば図5と同様の構成となっており、斜めエッジに対しても有効に補間処理がなされる。また中間値判定回路67は例えば図3の中間値判定回路34と同様の構成であり、入力3信号の大小を比較器で比較することによって中間値を判別している。

【0062】図9は1フレーム期間で被写体が重なってしまう映像の動きパターンを示した波形図である。通常、動き検出を用いた走査線補間回路は、フィールド内補間とフィールド間補間の切り替えをフレーム差分信号をもとに行っている。しかしながら図9に示した動きのパターンでは図中の α , β , γ に示した領域に原理的にフレーム差分が検出できず、走査線補間処理として本来フィールド内補間を行うべきところをフィールド間補間することによる画質劣化が生じてしまうことがある。この領域は図4に示した3フィールド中間値選択機能によっても正しい補間走査線を得ることが困難である。

【0063】この実施形態では、第1及び第2実施形態のようにフィールド間補間する場合の補間走査線として前フィールド($n-1$ フィールド)又は後フィールド($n+1$ フィールド)の走査線そのものをもってくるのではなく、前フィールド又は後フィールドの走査線の垂直高域成分のみフィールド間補間を行う構成となっている。このことによって、本来フィールド内補間を行うべきところでフィールド間補間された場合においても、2重像の残像として残る映像が垂直高域成分のみ限定されているために、視覚上認知されにくく画像の齟齬として認識されることがない。

【0064】以上のように本実施形態によれば、フィールド間補間を行う信号成分を映像の垂直高域成分に限定することによって、原理的に動きが検出できないような映像の動きパターンに対しても出力映像に齟齬を来すことなく、良好な画質の走査線補間処理を行うことができる。

【0065】なお本実施形態では、補間回路61や補間

回路62が上下2ライン中の画素値を用いて補間処理を行う構成を示したが、ライン数や係数はこの実施形態に限定されるものではないことは言うまでもない。さらにフィルタ回路63及び64は垂直3ラインのフィルタ構成を示したが、同様にライン数や係数はこの実施形態に限定されるものではないことも言うまでもない。

【0066】(実施の形態4) 本発明の第4実施形態(請求項8記載)における映像信号処理回路について図10のブロック図を用いて説明する。図10では、図7の第3実施形態と同一部分は同一の符号を付けて詳細な説明を省略する。本実施形態が第3実施形態と異なる部分は、加算回路65、66がなく、第1のフィルタ回路63及び第2のフィルタ回路64の出力が直接選択回路68に入力され、補間回路62の出力に代えて固定値零が選択回路68に入力されていることである。更に選択回路68の出力部に加算器69を設け、選択回路68の出力に補間回路61の出力を加算したものを補間走査線の映像信号として倍速変換メモリ16に与えるようにしている。

【0067】このように構成された本実施形態の映像信号処理回路の動作を説明する。図10において入力端子11には飛び越し走査の映像信号が入力されると、フィールドメモリ12、13によって夫々1フィールド期間遅延され、フィールドメモリ13から2フィールド即ち1フレーム期間遅延された映像信号が得られる。フィールドメモリ12の出力は補間回路61によって同一フィールド内の画素より補間処理が行われ、補間走査線が生成される。フィールドメモリ12の入力、フィールドメモリ13の出力は夫々フィルタ回路63、64で垂直高域成分が抽出される。

【0068】補間回路61の出力信号は、フィールドメモリ12の入力信号やフィールドメモリ13の出力信号と共に中間値判定回路67に入力される。中間値判定回路67は入力された3信号のうち中間の値を持つものを判定し、選択回路68に対して切り替え制御信号を発生する。選択回路68では中間値判定回路67に入力される3入力のうち、フィールドメモリ13の出力が中間値の場合はフィルタ回路64の出力を、補間回路61の出力が中間値の場合は零値を、フィールドメモリ12の入力が中間値の場合はフィルタ回路63の出力を夫々選択し、選択結果を加算器69に入力する。加算器69では選択回路68において選択された前/後フィールドの垂直高域成分又は零値と、補間回路61の出力信号が加算され、その加算値が補間走査線として出力される。

【0069】このようにして得られた補間走査線と、フィールドメモリ12の出力である実走査線とは、夫々倍速変換メモリ16と17に入力される。倍速変換メモリ16、17では、通常で書き込まれた走査線データがその2倍の速度で読み出される。選択回路18は倍速変換メモリ16と17の出力を1ライン周期で交互に

切り換えて、順次走査化した映像信号を出力端子19より出力する。

【0070】ここで補間回路61は、例えば図2に示したものと同様な構成とする。フィルタ回路63、64の構成は、例えば図8に示したものと同様な構成とする。中間値判定回路67は例えば図3の中間値判定回路34と同様の構成とし、入力3信号の大小を比較器で比較することによって中間値を判別している。

【0071】本実施形態では第3実施形態の映像信号処理回路に対し、隣接する3フィールドで走査線の重心位置を合わせるための補間回路と、フィールド内補間走査線を生成する補間回路とを共用化して補間回路61とする。またフィールド間補間を行うための加算器69を選択回路68の後に配置することによって回路規模の削減を図っている。

【0072】このように本実施形態によれば、より少ない回路規模で良好な画質の走査線補間処理を行うことができる。なお本実施形態では、補間回路61が上下2ラインの画素データを用いて補間処理を行うものとしたが、ライン数や係数はこの実施形態に限定されるものではないことは言うまでもない。さらにフィルタ回路63及び64は垂直3ラインのフィルタ構成としたが、同様にライン数や係数はこの実施形態に限定されるものではないことも言うまでもない。

【0073】またいずれの実施例においても、2つの倍速変換メモリと選択回路とを用いて補間走査線と実走査線とを合成して順次走査の映像信号に変換したが、補間走査線と実走査線との合成方法はこの回路に限定されるものではない。また以上の映像信号処理回路は、飛び越し走査の映像信号を、フレーム周期が同一で2倍の走査線を有する順次走査の映像信号に変換するものとして説明した。しかし粗い走査線からより高精細な画像を得る手段として、この映像信号処理回路を利用することもできる。

【0074】

【発明の効果】以上説明したように、請求項1～3記載の発明によれば、隣接した3フィールドの映像信号における画素値の中間値を選択して補間走査線を生成することによって、動き検出回路を用いることなくフィールド内とフィールド間の走査線補間を行うことができる。また動画/静止画に対応した良好な走査線補間処理を行うことができ、画質の改良効果は大きい。

【0075】また請求項3記載の発明によれば、請求項1記載の発明の効果に加えて、映像のエッジ方向を検出して補間処理を行うことによって、斜め線等の画質劣化のない走査線補間処理を行うことができ、その実用的効果は大きい。

【0076】また請求項4～7記載の発明によれば、請求項3記載の発明の効果に加えて、フィールド内補間とフィールド間補間の判別が原理的に不可能な動きパター

ンにおいて、フィールド内補間をすべきところでフィールド間補間を行った場合でも、画像が破綻しない走査線補間処理を行うことができ、その実用的効果は大きい。

【0077】更に請求項8～10記載の発明によれば、請求項4～7の発明の効果を1つの補間手段のみを用いて実現できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態における映像信号処理回路の構成を示すブロック図である。

【図2】第1実施形態の映像信号処理回路に用いられる補間回路のブロック図である。

【図3】第1実施形態の映像信号処理回路に用いられる中間値選択回路のブロック図である。

【図4】第1実施形態の映像信号処理回路において、中間値選択による補間走査線の生成を行う原理図である。

【図5】本発明の第2実施形態の映像信号処理回路に用いられる補間回路のブロック図である。

【図6】第2実施形態の補間回路の動作を説明するための画素配置図である。

【図7】本発明の第3実施形態における映像信号処理回路の構成を示すブロック図である。

【図8】第3実施形態の映像信号処理回路に用いられるフィルタ回路のブロック図である。

【図9】第3実施形態の映像信号処理回路の動作を示す*

* 信号波形図である。

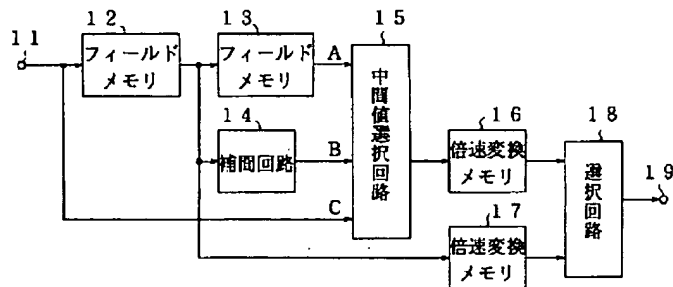
【図10】本発明の第4実施形態における映像信号処理回路の構成を示すブロック図である。

【図11】従来の映像信号処理回路の構成例を示すブロック図である。

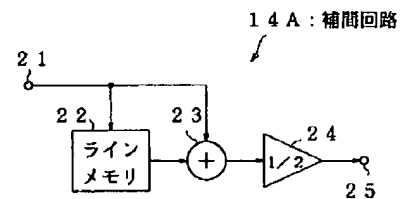
【符号の説明】

11, 21, 31, 32, 33, 71 入力端子
12, 13 フィールドメモリ
14, 61, 62 補間回路
15, 67 中間値選択回路
16, 17 倍速変換メモリ
18, 35, 56, 68 選択回路
19, 25, 36, 78 出力端子
22, 72, 73 ラインメモリ
23, 51, 52, 65, 66, 74, 69 加算器
24, 53, 54, 75, 76 係数器
34, 67 中間値判定回路
34a～34c 比較器
34d 論理回路
41, 42, 43, 44 Dフリップフロップ
45, 46, 47 絶対値回路
48, 49, 50, 77 減算器
55 最小値判定回路
63, 64 フィルタ回路

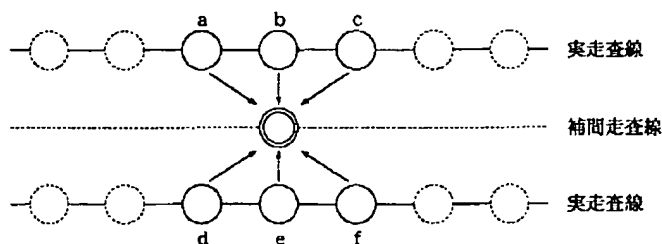
【図1】



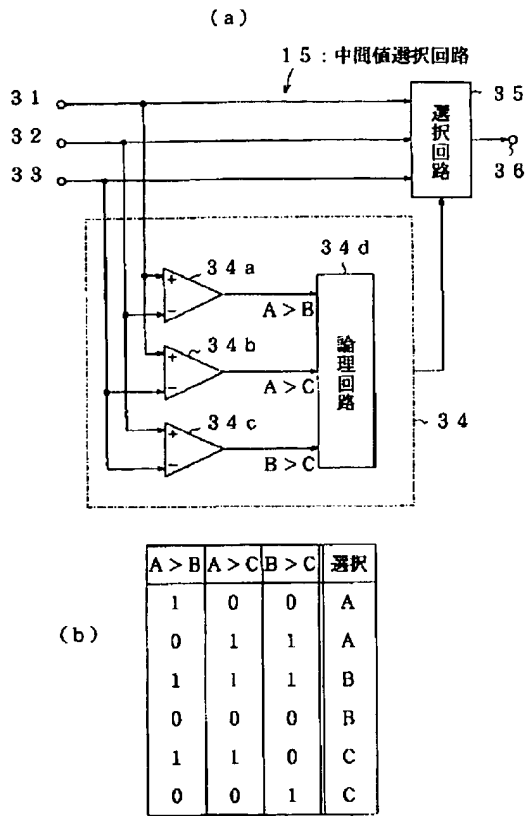
【図2】



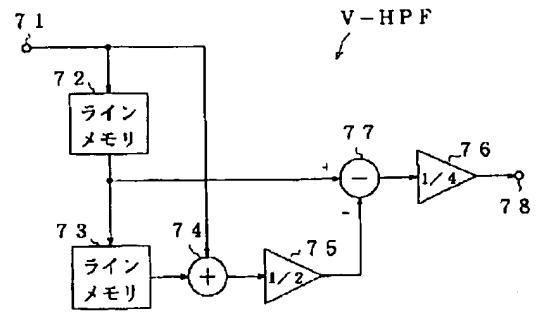
【図6】



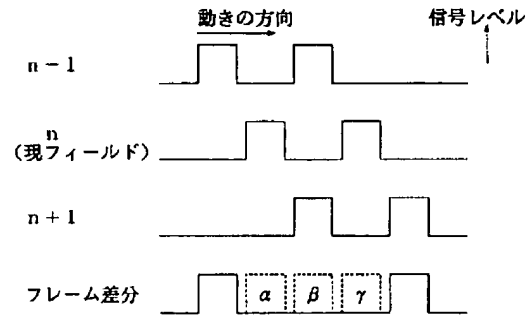
【図3】



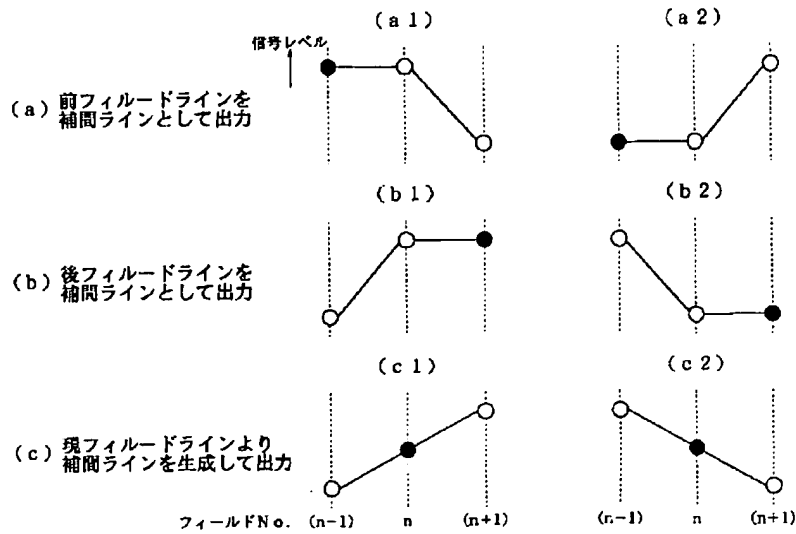
【図8】



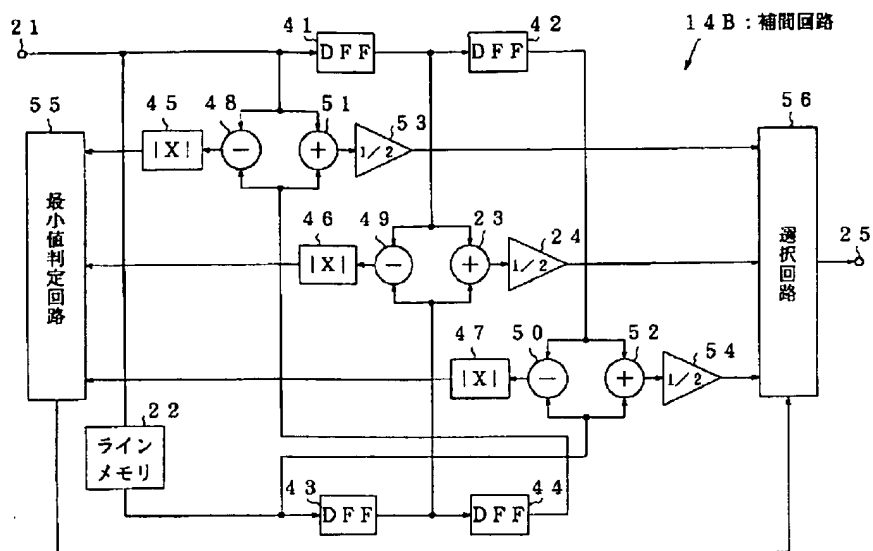
【図9】



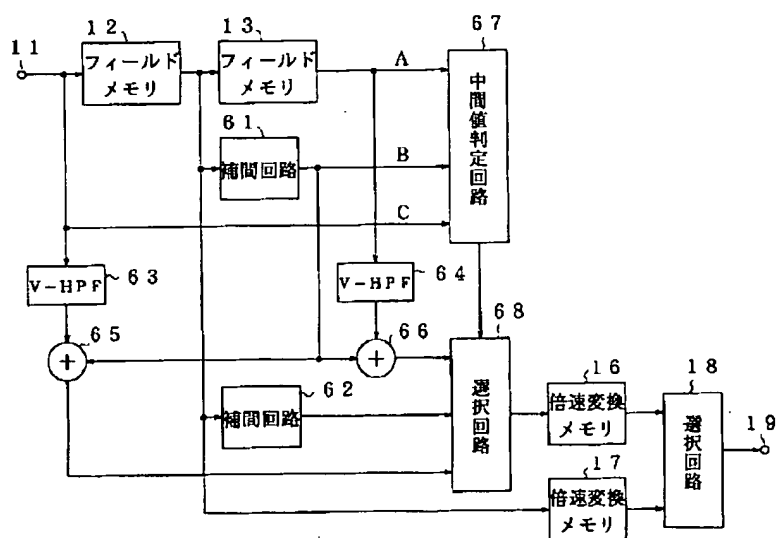
【図4】



【図5】



【図7】



```

graph LR
    11((11)) --> 12[12 フィールドメモリ]
    11 --> 13[13 フィールドメモリ]
    11 --> 63[V-HPF 63]
    12 --> 67[67 中間値判定回路]
    13 --> 61[61 補間回路]
    61 --> 67
    67 --> 64[V-HPF 64]
    67 --> 68[68 選択回路]
    64 --> 68
    68 --> 69((+ 69))
    63 --> 69
    69 --> 16[16 倍速変換メモリ]
    69 --> 17[17 倍速変換メモリ]
    16 --> 18[18 選択回路]
    17 --> 18
    18 --> 19((19))
  
```

(72)発明者 石津 厚
大阪府門真市大字門真1006番地 松下電器
産業株式会社内